

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

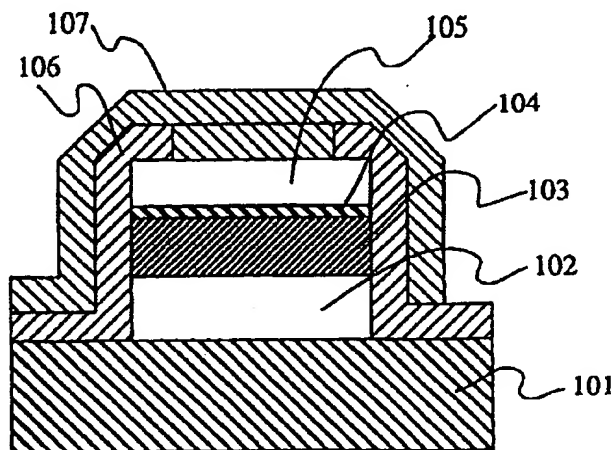
- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.



(51) 国際特許分類6 H01L 21/8242, 27/108	A1	(11) 国際公開番号 WO98/01904 (43) 国際公開日 1998年1月15日(15.01.98)
(21) 国際出願番号 PCT/JP97/02322 (22) 国際出願日 1997年7月4日(04.07.97) (30) 優先権データ 特願平8/178907 1996年7月9日(09.07.96) JP (71) 出願人 (米国を除くすべての指定国について) 株式会社 日立製作所(HITACHI, LTD.)[JP/JP] 〒101 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP) (72) 発明者 ; および (75) 発明者/出願人 (米国についてのみ) 三木浩史(MIKI, Hiroshi)[JP/JP] 〒161 東京都新宿区上落合1-8-17-401 Tokyo, (JP) 榊田恵子(KUSHIDA, Keiko)[JP/JP] 〒187 東京都小平市小川東町1-23-14-301 Tokyo, (JP) 藤崎芳久(FUJISAKI, Yoshihisa)[JP/JP] 〒183 東京都府中市紅葉丘1-21-32-301 Tokyo, (JP) (74) 代理人 弁理士 高橋明夫(TAKAHASHI, Akio) 〒103 東京都中央区日本橋茅場町二丁目9番8号 友泉茅場町ビル 日東国際特許事務所 Tokyo, (JP)		(81) 指定国 CN, JP, KR, SG, US, 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE). 添付公開書類 国際調査報告書
(54) Title: SEMICONDUCTOR MEMORY AND METHOD FOR MANUFACTURING THE SAME (54) 発明の名称 半導体メモリ及びその製造方法 (57) Abstract <p>A semiconductor memory which is improved in reliability by preventing the lowering of capacitance and defective insulation, especially, electrode separation caused by the formation of the passivation film (insulating film) of a capacitor using a high ferroelectric material by plasma processing at a relatively low temperature and a method for manufacturing the memory. The semiconductor memory has an integrated capacitor composed of a capacitor structure constituted of an upper electrode (105), a lower electrode (102), and a high ferroelectric oxide thin film (103) which is held between electrodes (105 and 102) and serves as a capacitor insulating film and an insulating protective film (106) which covers the capacitor structure and is formed by plasma processing. An oxygen introducing layer (104) is further formed on the surface of the thin film (103) constituting the capacitor insulating film. In the manufacturing process of the memory, for example, the oxygen introducing layer (104) is formed on the surface of the high ferroelectric material (103) by introducing oxygen to the boundary between the electrode (105) and the material (103) by conducting heat treatment in an oxygen atmosphere before the protective insulating film (SiO₂ passivation film) (106) is formed by plasma processing after the formation of the electrode (105). Therefore, lowering of capacitance, defective insulation, and especially, electrode separation, which are caused by the formation of the passivation film (insulating film), can be prevented. In addition, the occurrence of defective insulation can be reduced by suppressing the lowering of the capacitance when an alternating electric field is impressed. When a ferroelectric material is used as the dielectric film, moreover, such an effect as an increase in residual polarization, a decrease in coercive voltage, etc., can be obtained.</p>		



(57) 要約

高強誘電体を用いるコンデンサの比較的低温で処理可能なプラズマでのパッシベーション膜（絶縁膜）形成による容量低下、絶縁不良、特に電極剥離を防止し、信頼性の高い半導体メモリ及びその製造方法を実現する。

上部電極105と下部電極102とこれら両電極間に挟持されキャパシタ絶縁膜となる酸化物高強誘電体薄膜103とで構成されるコンデンサ構造と、このコンデンサ構造を覆うプラズマ処理によって形成された絶縁保護膜106とからなる集積化コンデンサを有し、前記キャパシタ絶縁膜を構成する酸化物高強誘電体薄膜の表層部に酸素導入層104を設ける。

このメモリは、例えば上部電極105の形成後、プラズマでの絶縁保護膜（パッシベーション膜 SiO_2 ）106の形成工程前に、酸素雰囲気中で熱処理して上部電極105／高強誘電体103の界面に酸素を導入し、高強誘電体103の表層部に酸素導入層104を形成する。

これにより、パッシベーション膜（絶縁膜）形成による容量低下、絶縁不良、とりわけ電極剥離が防止できる。また、交番電界印加時の容量低下を抑制し、絶縁不良の発生率を下げるができる。さらに、強誘電体を誘電膜として用いた場合には、残留分極を増大させ、抗電圧を減少させる等の効果がある。

参考情報

PCTに基づいて公開される国際出願のパンフレット第一頁に記載されたPCT加盟国を特定するために使用されるコード

AL	アルバニア	ES	スペイン	LR	リベリア	SG	シンガポール
AM	アルメニア	FI	フィンランド	LS	レソト	SI	スロヴェニア
AT	オーストリア	FR	フランス	LT	リトアニア	SK	スロヴァキア共和国
AU	オーストラリア	GA	ガボン	LU	ルクセンブルグ	SL	シエラレオネ
AZ	アゼルバイジャン	GB	英国	LV	ラトヴィア	SN	セネガル
BA	ボスニア・ヘルツェゴビナ	GE	グルジア	MC	モナコ	SZ	スワジランド
BB	バルバドス	GH	ガーナ	MD	モルドヴァ共和国	TD	チャード
BE	ベルギー	GM	ガンビア	MG	マダガスカル	TG	トーゴ
BF	ブルキナ・ファソ	GN	ギニア	MK	マケドニア旧ユーゴス	TJ	タジキスタン
BG	ブルガリア	GR	ギリシャ		ラヴィア共和国	TM	トルクメニスタン
BJ	ベナン	HU	ハンガリー	ML	マリ	TR	トルコ
BR	ブラジル	ID	インドネシア	MN	モンゴル	TT	トリニダード・トバゴ
BY	ベラルーシ	IE	アイルランド	MR	モーリタニア	UA	ウクライナ
CA	カナダ	IL	イスラエル	MW	マラウイ	UG	ウガンダ
CF	中央アフリカ共和国	IS	アイスランド	MX	メキシコ	US	米国
CG	コンゴ	IT	イタリア	NE	ニジェール	UZ	ウズベキスタン
CH	スイス	JP	日本	NL	オランダ	VN	ヴェトナム
CJ	コート・ジボアール	KE	ケニア	NO	ノルウェー	YU	ユーゴスラビア
CM	カメルーン	KG	キルギスタン	NZ	ニュージーランド	ZW	ジンバブエ
CN	中国	KP	朝鮮民主主義人民共和国	PL	ポーランド		
CU	キューバ	KR	大韓民国	PT	ポルトガル		
CZ	チェッコ共和国	KZ	カザフスタン	RO	ルーマニア		
DE	ドイツ	LC	セントルシア	RU	ロシア連邦		
DK	デンマーク	LI	リヒテンシュタイン	SD	スーダン		
EE	エストニア	LK	スリランカ	SE	スウェーデン		

明細書

半導体メモリ及びその製造方法

技術分野

本発明は、半導体メモリ及びその製造方法に係り、特に蓄積容量を構成するコンデンサのキャパシタ絶縁膜として高強誘電体薄膜を用いる場合に好適な半導体メモリ及びその製造方法に関する。

なお、高強誘電体薄膜とはキャパシタ絶縁膜を構成する高誘電体薄膜や強誘電体薄膜を云い、以下に詳述するように、これらのキャパシタ絶縁膜を用いたコンデンサを、ここでは高強誘電体薄膜コンデンサと総称することにする。

背景技術

キャパシタ絶縁膜として高誘電体を用いる半導体メモリのコンデンサは、従来のシリコン酸化膜や、シリコン窒化膜等の絶縁膜を用いるコンデンサと比較して単位面積あたりの静電容量が大きいために、特に大規模DRAMのような、小面積で大きな静電容量を必要とする応用が検討されている。

例えば、「IEEE International Electron Device Meeting pp.823-826(1991)」によれば、高誘電体材料として $(Ba, Sr)TiO_3$ （以下、BSTと略称）を用いた例が報告されており、ここでの電極材料は、貴金属である白金である。

一方、同様な構造を持つ強誘電体をキャパシタ絶縁膜として用いるコンデンサも、不揮発性を持つ大規模メモリ用として検討されている。例えば「1995 Symposium on VLSI Technology Digest of Technical Papers, pp.123-124」によると、強誘電体材料として $Pb(Zr, Ti)O_3$ （以下、PZTと略称）を用いた例が報告されており、ここでの電極材料は、BSTの場合と同様に、貴金属である白金である。

これらを用いる半導体メモリを製造する場合には、コンデンサを作成した後に、

このコンデンサに対する電氣的な接続を行なう配線層、及びメモリセルとメモリチップ外部との電氣的な変換を行なう周辺回路部分に関わる配線層が形成される。このため、各配線層の間、及びこれら配線層とコンデンサとの間の電氣的絶縁をとるために、層間絶縁膜を形成する必要があるが、この工程は配線層の劣化を防ぐために還元性あるいは弱い酸化性の雰囲気となる。この工程を経ることで、コンデンサは重大なダメージを被ることが知られている。

例えば、「Material Research Society Symposium Proceedings Vol. 310, pp. 151-156 (1993)」によると、層間絶縁膜としてCVDによる SiO_2 膜を形成することにより、強誘電体であるPZTは強誘電性を失うとともに、リーク電流が増大することが報告されている。

さらに、メモリ製造工程では、金属配線層及びコンデンサよりも下の層に形成されるトランジスタの信頼性確保のために、最終的に水素雰囲気中で熱処理が施される。この水素処理は、層間絶縁膜の形成工程と同様に、コンデンサ特性に影響を与えることが知られている。

例えば「8th International Symposium on Integrated Ferroelectrics, 11c (1996)」によると、強誘電体として $\text{SrBi}_2\text{Ta}_2\text{O}_9$ （以下、SBTと略称）を用いた場合には、水素雰囲気での処理を行なうと強誘電特性の大幅な劣化を伴うこと、及び水素処理での劣化を酸素中での熱処理により修復することが試みられている。

しかしながら、上記の方法には実際の製造プロセスには、適用できない問題点があることがわかった。すなわち、

(1) コンデンサの製造工程後に形成される金属配線は、アルミニウムなど、高温の酸化性雰囲気に弱い材料が用いられること、

(2) 層間絶縁層の厚みにより、後工程での酸素熱処理では酸素濃度が低下し、劣化回復の効果も低下すること、である。本発明者等の実験によれば、トランジスタの信頼性確保のために水素処理をしてしまうと、その後に酸素中で熱処理を行なっても、一度劣化してしまったコンデンサの特性は回復が不十分であり修復

が困難であることがわかった。

また、劣化現象のうち、とくに、コンデンサの剥離（キャパシタ絶縁膜から上部電極が剥離する）は、微細な配線構造を多用する大規模メモリの製造工程においては、同一の製造ロットに属する全数が不良となり、歩留まりが低下すると共に信頼性が著しく低下する。

以上の問題点に加えて、水素雰囲気での処理を経たコンデンサは、処理を行わなかったコンデンサと比較すると、電圧ストレス、交流ストレスによる電気特性の劣化が大きく、信頼性の面でも大きな問題があることが判明した。

なお、特開昭 8-55967 号公報（平成 8 年 2 月 27 日公開）には、強誘電体薄膜キャパシタの製造方法に関し、誘電体薄膜中の酸素空孔をアニール（酸性雰囲気中）することにより、リーク電流を小さくすることが知られている。しかし、電極剥離の問題点については何等認識されていない。

発明の開示

したがって、本発明の目的は、上記これらの問題点を解消することにある、特に、半導体集積回路と共存して、かつ、低洩れ電流、大容量、高残留分極を有するコンデンサを備えた半導体メモリ及びその製造方法を提供することにある。

上記目的を達成するために、本発明者等は、コンデンサ特性の劣化の原因を種々実験検討したところ、主たる劣化原因は、上部電極とキャパシタ絶縁膜を形成する高強誘電体の界面近傍での構造変化、特に高強誘電体を構成する金属酸化物の表層部における酸素欠損の発生に起因することがわかった。そして、この酸素欠損は、高強誘電体薄膜形成よりも後に形成される上部電極と、高強誘電体薄膜との界面に多く存在することもわかった。さらに、上部電極を形成する貴金属電極と高強誘電体との接着性の劣化（上部電極剥離の問題）が、この酸素欠損濃度と強い相関があることも判明した。

そこで本発明者等は、コンデンサ電極（特に上部電極）の形成後に、高強誘電体－電極界面を強制酸化する工程を加えてみた。その結果、その後の工程である

高強誘電体コンデンサの絶縁膜形成工程での劣化、剥離が抑えられ、また、長期信頼性の向上も認められた。すなわち、コンデンサを形成した後に水素処理する従来法とは異なり、コンデンサを形成した後に水素処理に先行して酸素処理することが極めて有効であるという知見を得たものである。

本発明はこのような知見に基づいてなされたものであり、上記目的を達成することのできる半導体メモリは、上部電極と下部電極とこれら両電極間に挟持されキャパシタ絶縁膜となる酸化物高強誘電体薄膜とで構成されるコンデンサ構造と、前記コンデンサ構造を覆うプラズマ処理によって形成された絶縁保護膜とからなる集積化コンデンサを有し、前記キャパシタ絶縁膜を構成する酸化物高強誘電体薄膜の表層部に酸素導入層が形成されていることを特徴とする。

図面の簡単な説明

第1図は、本発明の半導体メモリの蓄積容量を構成するコンデンサの一例を示す断面図、

第2図は、従来技術によるコンデンサの断面図、

第3図は、従来技術によるコンデンサの不良を示す断面図、

第4図は、本発明のコンデンサと、従来技術によるコンデンサのC V特性比較曲線図、

第5図は、本発明のコンデンサと、従来技術によるコンデンサのI V特性比較曲線図、

第6図は、本発明のコンデンサと、従来技術によるコンデンサの交番電界ストレスによる静電容量の変化を示した特性曲線図、

第7図は、本発明のコンデンサと、従来技術によるコンデンサの交番電界ストレス後の耐圧分布特性図、

第8図は、本発明の酸素処理効果の温度依存性を示した特性図、

第9図は、本発明の酸素処理効果の時間依存性を示した特性図、

第10図は、セル構造上側面に耐酸化性の劣る材料が含まれる場合の断面図

よび酸化の状況を示した特性図、

第 1 1 図は、本発明の酸素処理による P Z T コンデンサの I V 特性図、

第 1 2 図は、パッシベーション処理後の I V 特性の本発明と従来技術との比較図、

第 1 3 図は、パッシベーション処理後のヒステリシス特性の本発明と従来技術との比較図、

第 1 4 図は、パッシベーション処理後の I V 特性の本発明と従来技術との比較図、

第 1 5 図は、本発明の一例となるキュパシタ絶縁膜として B S T を用いた D R A M の断面構造図、

第 1 6 図は、本発明の一例となるキュパシタ絶縁膜として P Z T を用いた不揮発メモリの断面構造図、である。

発明を実施するための最良の形態

以下、本発明につき、図面を参照して詳細に説明する。

第 1 図は、半導体メモリの蓄積容量を構成するコンデンサの要部断面図を示したもので、先ず、トランジスタ等の能動デバイスを含む半導体基板 1 0 1 上に、下部電極 1 0 2、キャパシタ絶縁膜 1 0 3、このキャパシタ絶縁膜 1 0 3 の表層部に酸素導入層 1 0 4、上部電極 1 0 5 が形成されており、これら上下部電極と強誘電体からなるコンデンサを、層間絶縁膜となる保護膜 1 0 6 により覆った。

この保護膜 1 0 6 の一部には適当なエッチングプロセスにより、開口部が設けてあり、金属配線 1 0 7 がコンデンサの上部電極 1 0 5 と電氣的導通を有している。

酸素導入層 1 0 4 は、上部電極 1 0 5 を形成する際にキャパシタ絶縁膜 1 0 3 を構成する高強誘電体薄膜の表層部に生じた微量酸素の欠損層が、後述する酸素雰囲気中の熱処理で十分に修復された層を意味している。

下部電極 1 0 2、上部電極 1 0 5 を構成する電極材料としては、白金が代表的

なものとして挙げられるが、その他、例えばパラジウム、ニッケル、タングステン、チタン、モリブデン等の単体、もしくは合金を主成分とする金属材料、さらには導電性を有する金属酸化物等が使用される。

また、キャパシタ絶縁膜 103 を構成する高強誘電体薄膜としては、例えば鉛、ビスマス、ストロンチウム、バリウムのうちの少なくとも 1 つを主成分に持つ酸化物からなる誘電体薄膜が挙げられ、強誘電体薄膜であれば代表的なものとして PZT と略称されるチタン酸ジルコン酸鉛 $[Pb(Zr, Ti)O_3]$ 及びこれに La をドーピングした PLZT、チタン酸鉛 $(PbTiO_3)$ 、SBT と略称されるタンタル酸ストロンチウム・ビスマス $(SrBi_2Ta_2O_9)$ 、チタン酸ビスマス $(Bi_4Ti_3O_{12})$ 等が挙げられる。

また、高誘電体薄膜の代表的なものとしては、例えば BST と略称されるチタン酸バリウム・ストロンチウム $[(Ba, Sr)TiO_3]$ 、チタン酸ストロンチウム $(SrTiO_3)$ 、チタン酸バリウム $(BaTiO_3)$ 等が挙げられる。

層間絶縁膜となる保護膜 106 としては、LSI の層間絶縁膜として通常使用されている例えば SiO_2 、 Si_3N_4 等が挙げられる。

一方、比較例として集積化コンデンサを本発明によらない従来工程によって作成した断面図を第 2 図および第 3 図に示した。酸素導入工程を経ない場合には、第 2 図に示したごとく、上部電極 105 と高強誘電体 103 との界面に酸素欠損層 201 が発生する。また、 SiO_2 保護膜 106 の形成時、または、コンデンサ形成後の水素処理によって、第 3 図に示したような、上部電極 105 と高強誘電体 103 との界面に剥離部分 301 が生じたり、上部電極 105 が剥離により脱落する不良が頻発した。

このような酸素欠損層 201 を酸素導入層 104 により補修した効果を、先ず初期電気特性から示す。高誘電体、例えば BST を誘電体とする集積コンデンサの電気特性の、微分容量－バイアス電圧特性（以下これを CV 特性と略記）の比較を第 4 図に示す。

本発明によって酸素欠損層 201 を補修した場合には、酸素欠損層における電

圧降下が小さくなるので、特に 1 V 以下のメモリ動作電圧領域での実効誘電率が向上する。第 4 図に示した本発明は、酸素処理（酸素雰囲気中で熱処理）で酸素導入層 104 を形成した場合の特性を、また従来技術の特性は上部電極 105 を形成しただけで、水素処理も酸素処理もしない場合の特性を示している。なお、従来技術にしたがって水素処理を施し、その後に酸素処理をした場合には、ここに示した従来技術の特性曲線よりも更に劣化する。

さらに、漏洩電流－電圧特性（以下これを I V 特性と略記）の比較を第 5 図に示す。上部電極－高強誘電体界面における電子に対するエネルギーバリア高さが電流制限機構となる負電圧側で、漏洩電流値の低減が図れており、酸素導入層により、より絶縁性に優れた集積コンデンサが形成できた。

また、キャパシタ絶縁膜 103 に強誘電体 P Z T を用いた場合には、加えて、電束密度－電界特性の履歴曲線（以下ヒステリシス特性と略記）の向上が見られる。本発明による場合には、残留分極が発生する閾値電界である抗電界が減少し、残留分極が増大して、不揮発メモリ動作の安定化が図れた。

次に長期信頼性に係る本発明の効果を示す。

集積コンデンサの初期特性が向上することは、前節で述べた。本発明によらず、性能の低い特性であっても、メモリの要求仕様によっては、あたかも適用可能のごとく見える初期特性が得られる場合がある。しかし、長期信頼性、特に、印加電圧極性が高速で反転する動作下では、誘電率と漏洩電流の経時変化が激しく、実用にならないことがわかった。

本発明は、初期特性の向上に加えて、経時変化を抑制する効果がある。第 6 図は、交番電界を印加した場合に、B S T コンデンサの静電容量の時間変化を、本発明と、従来技術で比較したものである。図示のように本発明によるコンデンサでは、交番電界ストレスに起因する電極－高強誘電体界面に発生する酸素欠損領域の成長が抑えられるので、酸素欠損領域の発生が少なく、従って、静電容量の経時劣化も小さくなる。

また、同様な交番電界を加えた場合の絶縁耐圧の累積不良率の時間依存性を第

7図に示した。本発明によるコンデンサでは、不良発生率が抑制できることがわかった。酸素欠損領域の生成を抑制することにより、欠損領域起因の耐圧不良も同時に抑えられるので、不良発生率が下がるものと考えられる。

なお、第3図の比較例に示したように、 SiO_2 保護膜106の形成時、あるいは、金属配線107の形成後の水素処理により、上部電極－高強誘電体界面に剥離部分301が生じることは、製品歩留まりと生産ラインのスループット低下につながり、実用に耐えなかった。しかし、本発明によるコンデンサは、この剥離抑制の効果が十分に発揮されていることがわかった。

この原因を分析したところ、 SiO_2 保護膜形成時、あるいは、金属配線後の水素処理による酸素濃度低下領域は、主に上部電極－高強誘電体膜界面に集中しており、酸素濃度低下が上部電極と高強誘電体界面の接着性を失わせていることがわかった。即ち、上部電極105と高強誘電体103との界面へ酸素を導入することで、酸素欠損領域の発生が抑えられる他に、上部電極105と高強誘電体103との接着性が向上することが、本発明による剥離抑制効果の原理であると推定される。

以下、本発明の実施例を挙げて詳細に説明する。

＜実施例1＞

ここでは、第1図に示した酸素導入層104を持つ集積コンデンサの製造方法について具体的に述べる。周知の方法により形成された電界効果トランジスタを含む基板101の上に、先ず、コンデンサの下部電極102となる白金膜をスパッタ法により形成する。膜厚は100nmとした。

次に、この電極102上に酸素雰囲気中での反応性スパッタにより、キャパシタ絶縁膜103としてPZTを100nm堆積した。堆積時の圧力は0.5 Torr、基板温度は、室温である。この構造を、常圧の酸素雰囲気中で650℃、30秒の急速酸化処理し、PZTを結晶化させた。

このPZT103上に、さらに白金を50nmスパッタ法で堆積し、上部電極105とした。この後、周知のフォトリソグラフィ工程により形成したマスク

を用い、コンデンサを各メモリセルに対応した微細領域にスパッタエッチングによって分割し、Pt/PZT/Ptの3層構造からなるコンデンサ構造を形成した。

ただし、この状態では上部電極(Pt)105とPZT103との界面、すなわちPZTの表層部には、第2図に示したように酸素欠乏層201が既に形成されており、接着性も十分ではないことがわかった。そこで、この状態で横型石英管を持つ電気炉中で酸素熱処理を行う。この酸素熱処理条件は、常圧の酸素雰囲気中で500℃、30分の酸化処理である。

第8図は、上部白金堆積直後に、酸素欠乏層が多く発生したために、十分な強誘電性を示さないPt/PZT/Pt構造を、上記のように酸素熱処理した場合の3V印加時の残留分極値変化を示している。図示のように、酸素熱処理400～575℃で、十分な残留分極が検出できた。一方で、熱処理温度600℃以上では、残留分極の低下が観察された。これらから、より好ましい熱処理温度は、450～550℃であり、特に好ましくは500℃で処理することが有効であることがわかる。

また、第9図は、500℃での酸素熱処理時間による残留分極値の変化を示している。これより、本熱処理工程は、10分程度から効果があることがわかった。ここで重要なことは、この集積コンデンサ構造をとる場合に限ることであるが、本発明の他の効果として、側壁に露出した高強誘電体103に加わるダメージが酸素熱処理により修復されることである。即ち、第1図に示した構造を作成すると、本発明により、上部電極/高強誘電体界面の酸素欠乏層だけでなく、高強誘電体側面のダメージを除去する効果もある。

また、上部白金膜をフォトリソグラフィ工程を経て、コンデンサに分割した後に酸素処理を行なうことで、基板温度を上昇させる際のストレスによる剥離を抑止する効果もある。

また、メモリセル構造によっては、コンデンサをメモリセル毎に分割した際に、下層基板101に含まれるトランジスタとの接続のための、耐酸化性の劣る材料、

例えば窒化チタンが露出している可能性がある。第10図は、コンデンサをメモリセル毎に分割した断面図を示している。

第10図(1)に示した酸素処理前の窒化チタン1001は、酸素処理によって第10図(2)に示すように、窒化チタン1001の露出した周縁が酸化されて高抵抗層1004が形成される。このように、周縁が露出した窒化チタン1001は、コンデンサ加工に伴うダメージにより、通常の窒化チタンの耐酸化性を維持していないため、酸素雰囲気での熱処理が難しくなる。なお、同図の1002はシリコン拡散層への接続プラグ(ここではポリシリコン)を、1003は層間絶縁膜(SiO_2)を示している。

酸素処理におけるこの問題を解決するためには、下部電極102となる白金膜のエッチング前、あるいは、エッチングは進んでいるものの、下層の窒化チタン1001の側壁が露出していない時点での適用が有効であった。

このように、本発明の適用方式は、メモリセル構造により、様々な適用時点が考えられる。本発明の効果は、原理的には上部電極105の形成後、パッシベーション工程(層間絶縁膜106の形成)までの間に酸素処理工程を行なうことで得られるものであり、すべてのメモリセル構造に適用できるものである。

さらに、上記の例に挙げたように、キャパシタ加工工程によるダメージを除去する効果があるので、加工工程完了後の適用がさらに望ましい。

〈実施例2〉

つぎに、酸素雰囲気中での熱処理以外の方法でキャパシタ絶縁膜表層部に酸素導入層104を形成する他の実施例について説明する。

本発明の本質は、上部電極と高強誘電体界面に酸素を導入することにあるが、酸素を強制的に上部電極(この例では白金)105に含有させ、結果的に界面への酸素導入を行なう方法も有効であった。

具体的には、上部電極105の白金を、酸素中でのスパッタリングにより高強誘電体上に堆積させる。例えば直流スパッタにより、10%酸素を添加したアルゴン雰囲気(200mTorr)でスパッタを行なった。

通常の純アルゴンスパッタによる白金膜は、(111)方向に強く配向し、膜厚と同程度の大きさを持つ粒構造となるが、純酸素によるスパッタ白金膜は、微細粒からなり、これに対応して、(111)配向性がほとんど失われる。即ち、結晶性が非常に悪くなる。一方で、高強誘電体との接着性は非常に良くなることがわかった。純アルゴンスパッタで成膜した高強誘電体薄膜上の白金は、そのままの成膜状態では粘着テープによる剥離試験ではがれが生じるが、この酸素スパッタによる白金は剥離しなかった。これは、実施例1に示した酸素熱処理同様に、高強誘電体界面に酸素が十分供給された状態になることに対応するものと思われる。

この効果は、スパッタ雰囲気中の酸素濃度が高いほど顕著であったが、酸素濃度の上昇にともない、接着性が向上する一方で堆積速度が低下してしまった。実用的な酸素濃度は、5～30%程度、望ましくは、10%程度であった。

＜実施例3＞

また、別の実施方法としては、上部電極105の形成を白金の錯体を原料とするCVD法により行ない、雰囲気は酸素中に行なう方法も有効であった。すなわち、白金の原料としては例えば白金ヘキサフルオロアセチルアセトン錯体 $[Pt(HFA)_2: Pt(CF_3COCH_2COCF_3)_2]$ を50℃に加熱して昇華させ、アルゴンをキャリアガスとして反応炉に導入する。この原料と、酸素とを反応炉に導入した。

キャリアガスの流量は50cc/minである。3分間の堆積により、上部電極105として100nmの白金を形成した。この場合、上部電極105の堆積中は酸素雰囲気中であるため、上部電極(白金)/高強誘電体界面に酸素が導入され、実施例1の酸素熱処理中と同様な効果が確認された。

また、常圧酸素雰囲気下の熱処理は、デバイス構造によっては、第2図及び第3図で説明したように、例えばTiNのごときバリアメタルなどに望ましくない酸化が起こる場合があったので、酸素ラジカル照射下での熱処理、酸素プラズマ中での熱処理の適用を行なったところ、熱処理温度を低下させる効果があった。

〈実施例 4〉

次に、本発明によるコンデンサの電気特性の向上について具体的に示す。第 11 図は、膜厚 100 nm の P Z T をキャパシタ絶縁膜とする第 1 図に示した構造のコンデンサ（以下、P Z T コンデンサと云う）の電流電圧特性である。横軸の電圧は、下部電極 102 を基準にした上部電極 105 の電圧である。

特徴的なことは、負電圧側でのリーク電流が低下していることであり、 10^{-7} A/cm² で定義した絶縁耐圧は、-4 V から -4.5 V に向上している。P Z T コンデンサの電流電圧特性は、電流が立ち上がりを示す電圧（第 11 図では、約 -4 V）より高電圧側では、ショットキー電流であり、電極と P Z T の界面におけるバンド不連続性により電流値が決定されている。

このショットキー領域において、負電圧側で電流値が低下することは、上部電極側からの電子の注入確率の低下、即ち、上部電極/P Z T 界面の急峻化によるバンド不連続性の向上があることを示している。このことは、本発明の酸素導入の効果を最も端的に表しているものである。

さらに、このコンデンサ上にプラズマ分解の T E O S（テトラエトキシシランの略）原料の C V D によりパッシベーション膜 106 として S i O₂ を堆積し、周知の方法により電極上だけパッシベーション膜を取り除いて電流電圧特性を計測したものが、第 12 図である。プラズマ S i O₂ 膜 106 は、基板温度 390 °C で堆積した。

従来の方法で形成したコンデンサは、上部電極 105 の剥離が多発したことに加え、図中に示したように、剥離を起こさない場合にも、絶縁破壊が低い電圧で発生し、実用にならなかった。一方本発明によれば、剥離が防止できたことに加え、電流電圧特性の劣化はほとんどなかった。

また、第 13 図は、同じく膜厚 100 nm の P Z T コンデンサの電束密度電界特性である。同図中に比較例として従来方法で形成したコンデンサ〔従来技術（1）〕は、強誘電性を示すものの、抗電界が高く、通常の高集積半導体メモリに必要とされる低電圧動作には、適さなかった。

一方、本発明によれば、抗電界を低く抑えることができ、電源電圧3Vでも十分な強誘電性を示すコンデンサが形成できた。電流電圧特性の際と同一のプラズマ分解TEOSによるパッシベーションを行なった後の特性は、第13図の従来技術(2)である。

本発明によらないコンデンサは、さらに抗電界が増大し、実用には適さなかったのに対し、本発明によるコンデンサでは、パッシベーションによる変化はなく、高い強誘電性が確保でき、十分な残留分極を3V動作において示した。

また、BSTを誘電体に用いたコンデンサ上に、パッシベーション膜として同様にプラズマSiO₂膜106を堆積すると、第14図に示したように従来方式のコンデンサの場合、特に電圧負の場合に絶縁破壊電圧の急激な低下が見られるのに対し、本発明によれば、このような現象は見られなかった。

これらのコンデンサを用いて作成した半導体メモリの例を次に示す。

〈実施例5〉

第15図は、高強誘電体としてBSTを用いたDRAMの例であり、ここで用いたBSTの膜厚は25nm、静電容量は80fF/ μm^2 であり、 $10^{-8}\text{A}/\text{cm}^2$ で定義した絶縁性の臨界電圧は、2.2Vであった。このコンデンサを用いたDRAMは、10年の信頼性を有していることが、わかった。

また、第16図は、高強誘電体としてPZTを用いた不揮発動作の半導体メモリの例である。ここで用いたPZTの膜厚は100nm、残留分極は3V動作時で50 $\mu\text{C}/\text{cm}^2$ であり、非残留分極成分は、25 $\mu\text{C}/\text{cm}^2$ であった。

産業上の利用可能性

以上詳述したように、本発明の半導体メモリ及びその製造方法によれば、比較的低温で処理可能なプラズマでのパッシベーション膜(絶縁膜)形成によるコンデンサの容量低下、絶縁不良、特に電極剥離が防止でき、また、交番電界印加時の容量低下を抑制し、絶縁不良の発生率を下げるができる。さらに、強誘電体を誘電体膜として用いた場合には、残留分極を増大させ、抗電圧を減少させる

効果がある。このように優れた特性を有するコンデンサを備えることにより、信頼性の高い不揮発性半導体メモリを実現することが可能となった。

請求の範囲

1. 上部電極と下部電極とこれら両電極間に挟持されキャパシタ絶縁膜となる酸化物高強誘電体薄膜とで構成されるコンデンサ構造と、前記コンデンサ構造を覆うプラズマ処理によって形成された絶縁保護膜とからなる集積化コンデンサを有し、前記キャパシタ絶縁膜を構成する酸化物高強誘電体薄膜の表層部に酸素導入層を有して成る半導体メモリ。
2. 高強誘電体薄膜を、鉛、ビスマス、ストロンチウム及びバリウムのうちの少なくとも1つの金属元素を主成分に持つ酸化物で構成して成る請求項1記載の半導体メモリ。
3. 高強誘電体薄膜を、チタン酸ジルコニウム酸鉛、チタン酸ストロンチウム、チタン酸バリウム・ストロンチウム、チタン酸ビスマス、タンタル酸ストロンチウム・ビスマスのいずれか1種の金属酸化物結晶で構成して成る請求項1記載の半導体メモリ。
4. コンデンサ構造を覆う絶縁保護膜を、シリコン酸化物を主成分とする保護膜で構成して成る請求項1記載の半導体メモリ。
5. 上部電極を、白金、パラジウム、ニッケル、タングステン、チタン、及びモリブデンの少なくとも1種を主成分とする金属材料で構成して成る請求項1記載の半導体メモリ。
6. 半導体メモリを、高強誘電体薄膜コンデンサを用いる不揮発性メモリで構成して成る請求項1記載の半導体メモリ。
7. 半導体メモリを、高強誘電体薄膜コンデンサを用いるDRAM動作を行なうメモリで構成して成る請求項1記載の半導体メモリ。
8. 少なくとも下部電極と上部電極との間にキャパシタ絶縁膜となる酸化物高強誘電体薄膜を成膜してコンデンサ構造を形成する工程と、前記コンデンサ構造を覆う保護膜を成膜して集積化コンデンサを形成する工程とを有する半導体メモリの製造方法において、前記保護膜をプラズマ処理によって形成した後に、上部電極を通して上部電極－高強誘電体薄膜の界面に酸素を導入し、前記高強誘電体薄

膜の表層部に酸素導入層を形成する工程を有して成る半導体メモリの製造方法。

9. 上記上部電極を通して高強誘電体薄膜の表層部に酸素導入層を形成する工程は、酸素雰囲気中で熱処理する工程で構成して成る請求項8記載の半導体メモリの製造方法。

10. コンデンサ構造を覆う保護膜を成膜する工程は、シリコンの水素化物もしくはテトラエトキシシランのプラズマアシスト分解工程で構成して成る請求項8記載の半導体メモリの製造方法。

11. 酸素雰囲気中で熱処理する工程は、常圧酸素雰囲気中400～575℃の温度で、少なくとも10分以上の時間の熱処理する工程として成る請求項9記載の半導体メモリの製造方法。

12. 少なくとも下部電極と上部電極との間にキャパシタ絶縁膜となる酸化物高強誘電体薄膜を成膜してコンデンサ構造を形成する工程と、前記コンデンサ構造を覆う保護膜をプラズマ処理によって成膜して集積化コンデンサを形成する工程とを有し、前記コンデンサ構造を形成する工程の上部電極膜の形成工程後に、上部電極を通して上部電極－高強誘電体薄膜の界面に酸素を導入し、前記高強誘電体薄膜の表層部に酸素導入層を形成する工程を有して成る半導体メモリの製造方法。

13 上記上部電極を通して高強誘電体薄膜の表層部に酸素導入層を形成する工程は、酸素雰囲気中で熱処理する工程で構成して成る請求項12記載の半導体メモリの製造方法。

14. コンデンサ構造を覆う保護膜を成膜する工程は、シリコンの水素化物もしくはテトラエトキシシランのプラズマアシスト分解工程で構成して成る請求項12記載の半導体メモリの製造方法。

15. 酸素雰囲気中で熱処理する工程は、常圧酸素雰囲気中400～575℃の温度で、少なくとも10分以上の時間の熱処理する工程として成る請求項12記載の半導体メモリの製造方法。

16. 少なくとも下部電極と上部電極との間にキャパシタ絶縁膜となる酸化物高

強誘電体薄膜を成膜してコンデンサ構造を形成する工程と、前記コンデンサ構造を覆う保護膜をプラズマ処理によって成膜して集積化コンデンサを形成する工程とを有し、前記コンデンサ構造を形成する工程における上部電極の形成工程を、酸素を含む雰囲気中で上部電極膜を成膜する工程となし、上部電極の形成工程を通して上部電極－高強誘電体薄膜の界面に酸素を導入し、前記高強誘電体薄膜の表層部に酸素導入層を形成する構成として成る半導体メモリの製造方法。

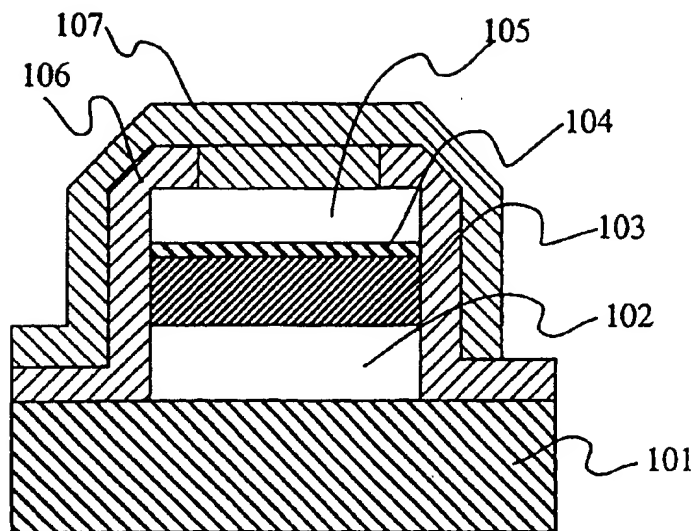
17. 上部電極の形成工程は、酸素雰囲気中でのスパッタリング法による金属薄膜の成膜法により構成して成る請求項16記載の半導体メモリの製造方法。

18. 上部電極の形成工程は、酸素雰囲気中でのCVD法による金属薄膜の成膜法で構成して成る請求項16記載の半導体メモリの製造方法。

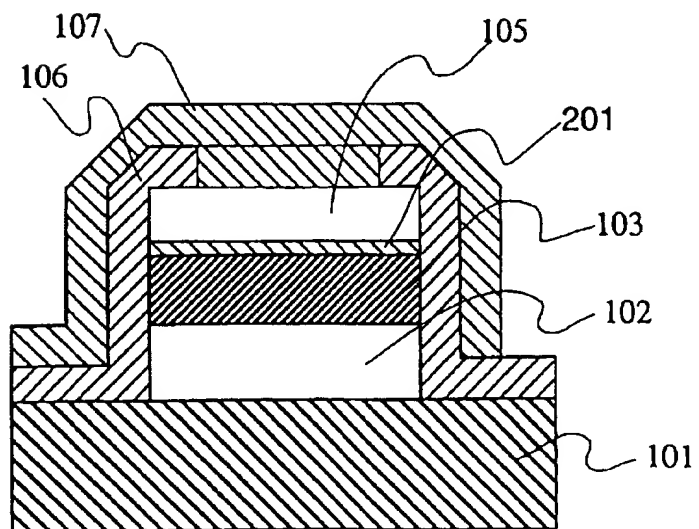
19. コンデンサ構造を覆う保護膜を成膜する工程は、シリコンの水素化物もしくはテトラエトキシシランのプラズマアシスト分解工程で構成して成る請求項16記載の半導体メモリの製造方法。

20. スパッタリング法もしくはCVD法による金属薄膜の成膜工程は、白金、パラジウム及びニッケルの少なくとも1種を主成分とする金属薄膜を形成する工程で構成して成る請求項17もしくは18記載の半導体メモリの製造方法。

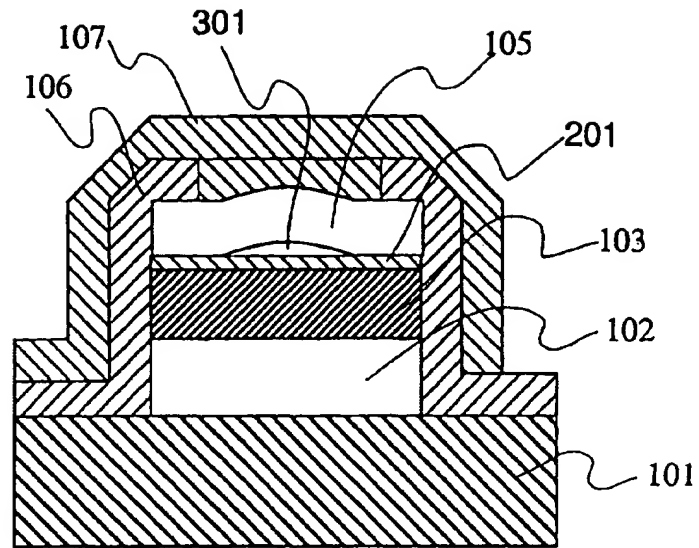
第 1 図



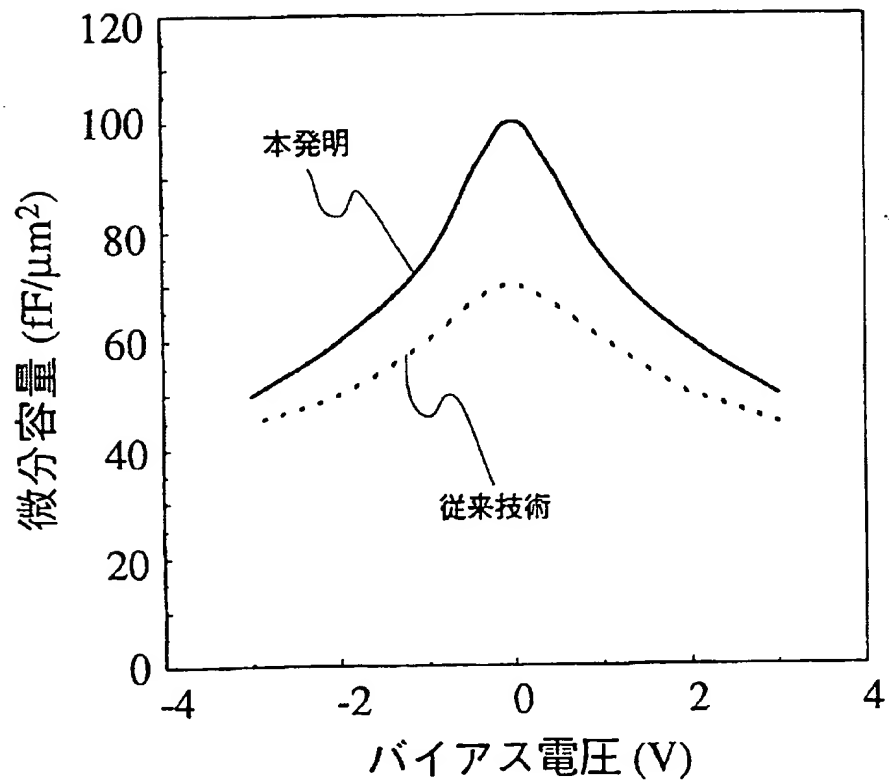
第 2 図



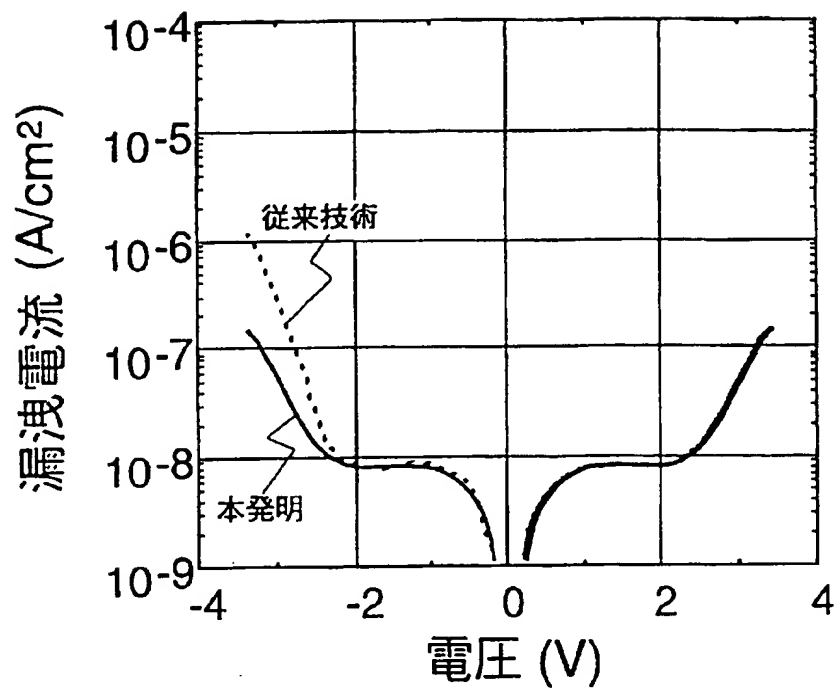
第3図



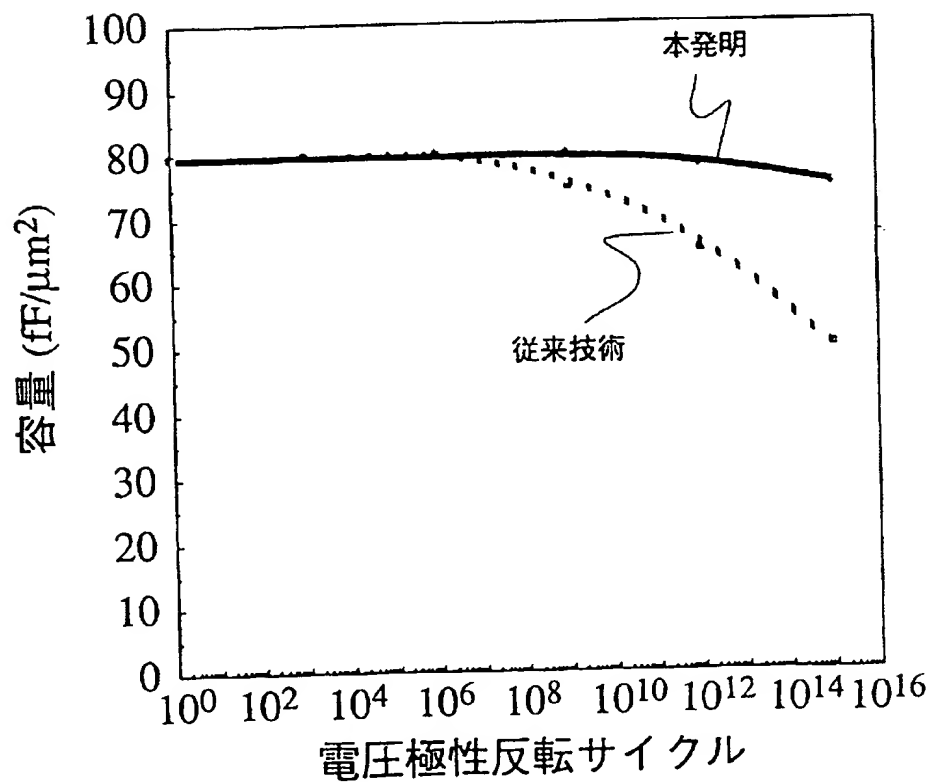
第4図



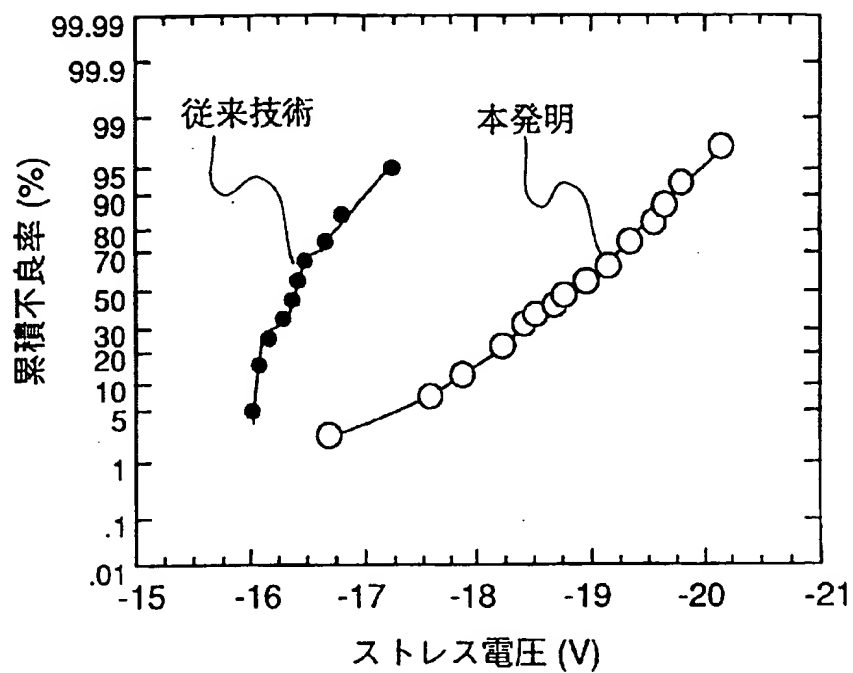
第 5 図



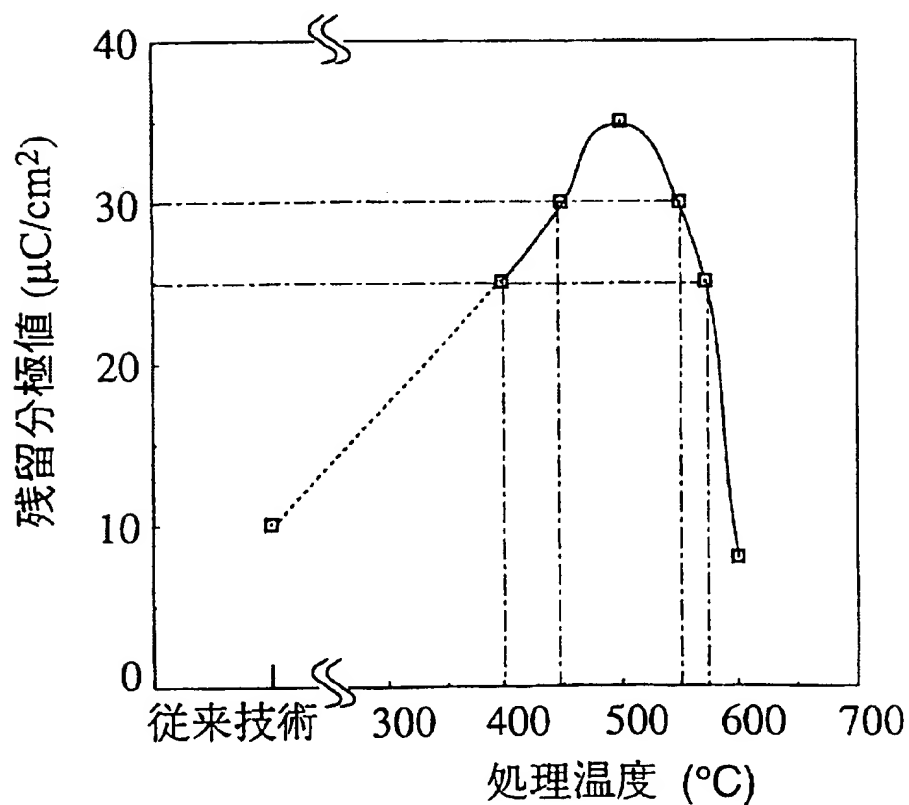
第 6 図



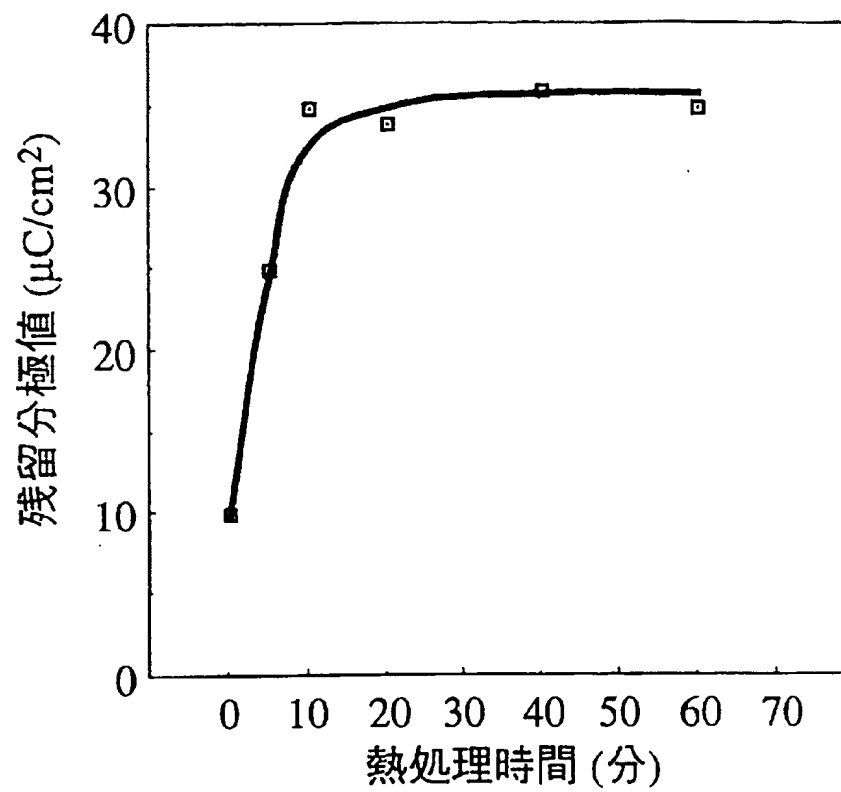
第 7 図



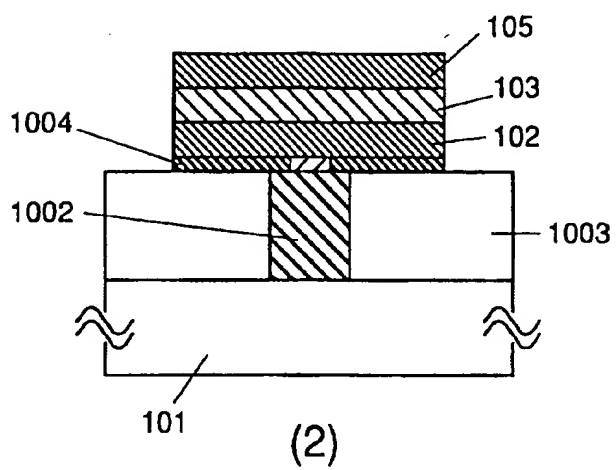
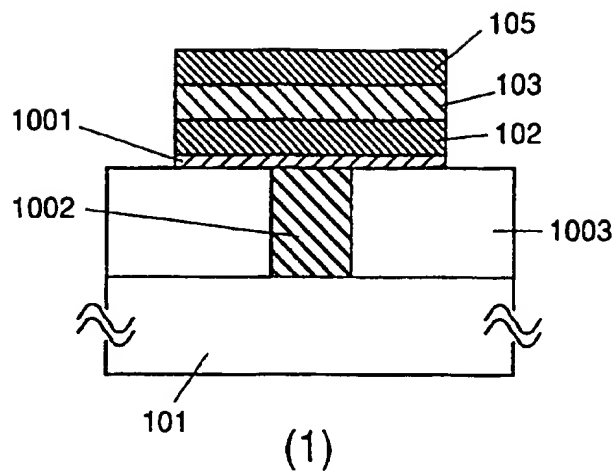
第 8 図



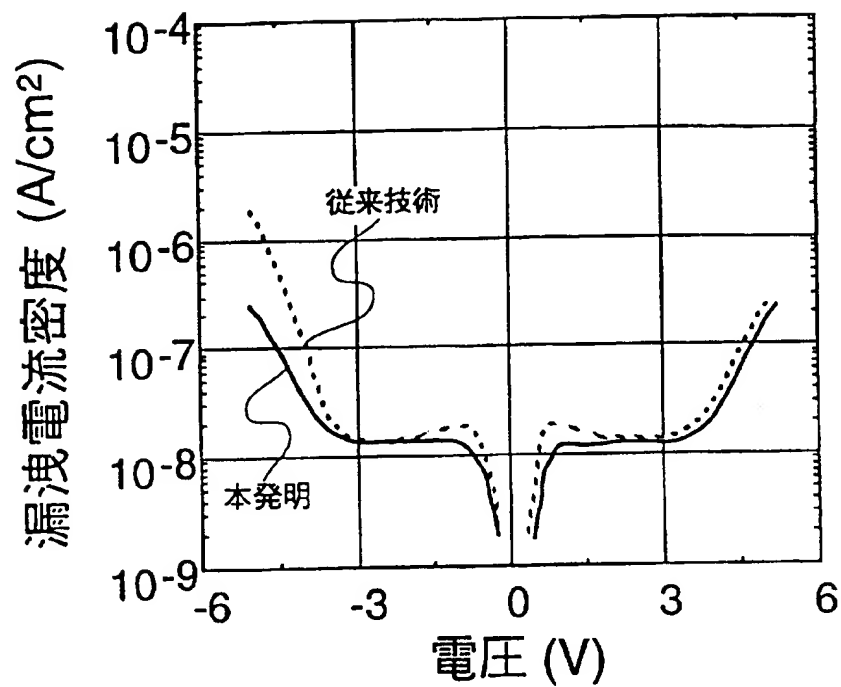
第 9 図



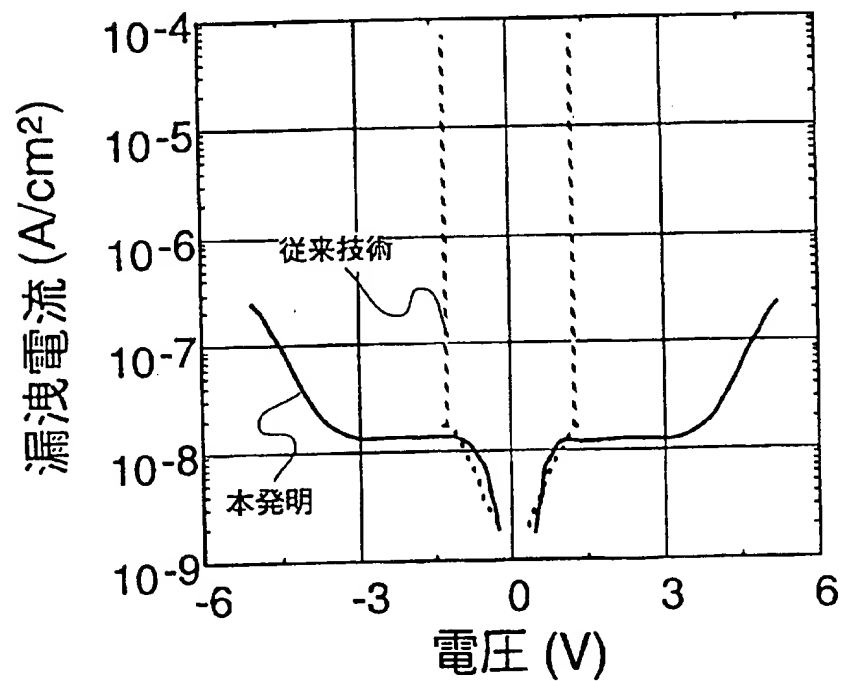
第 10 図



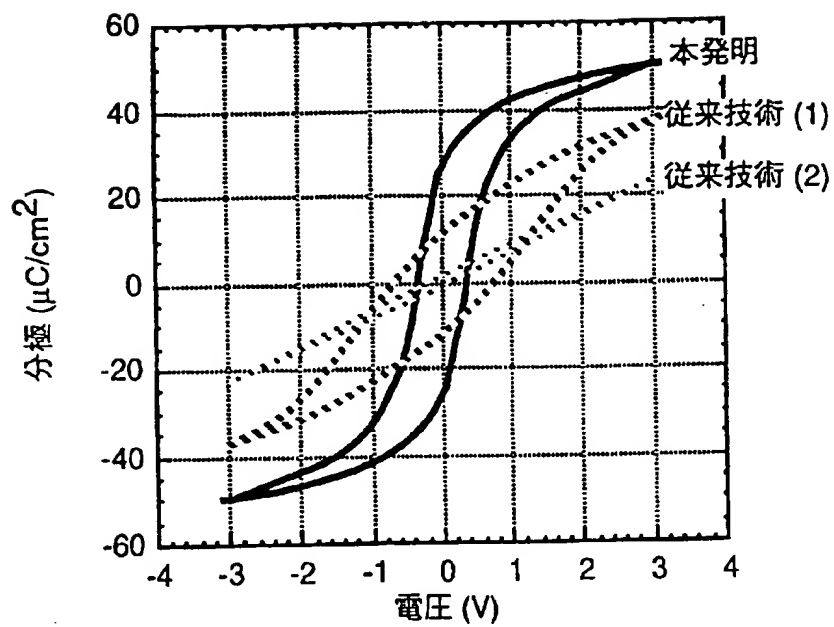
第 1 1 図



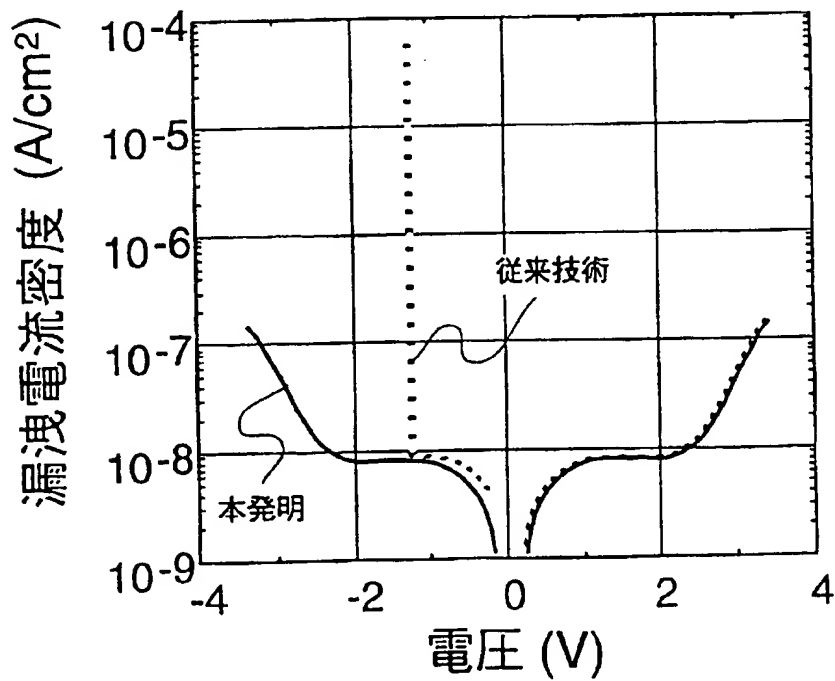
第 1 2 図



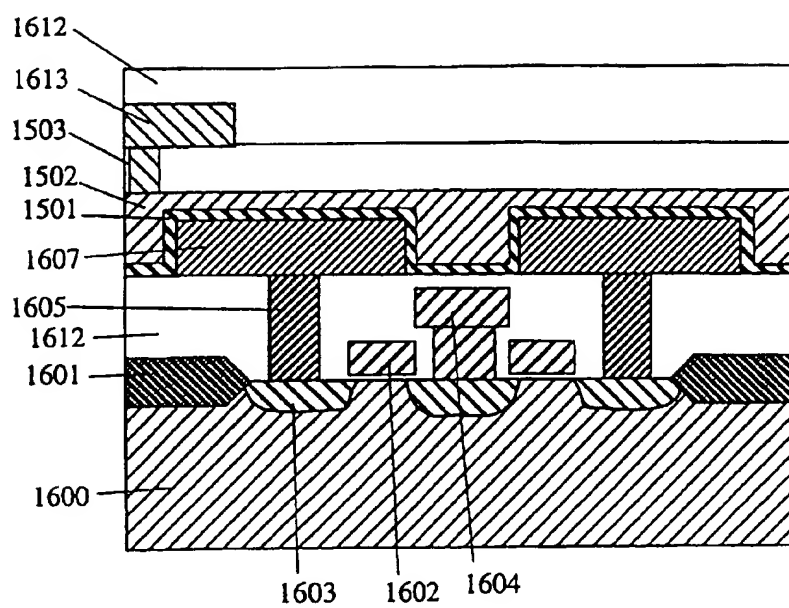
第 1 3 図



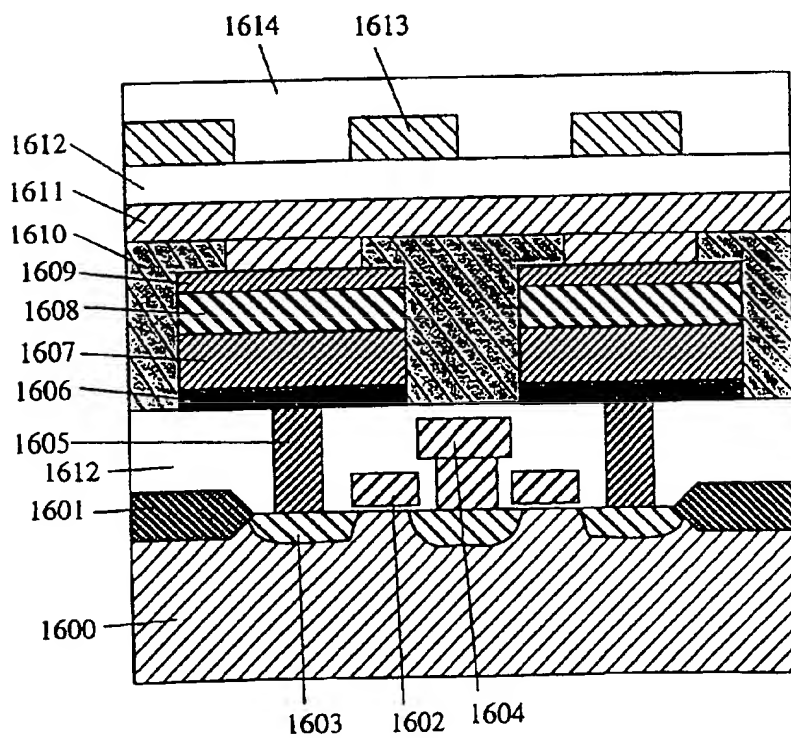
第 1 4 図



第 1 5 図



第 1 6 図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP97/02322

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl⁶ H01L21/8242, H01L27/108

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl⁶ H01L21/8242, H01L27/108

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922 - 1997
Kokai Jitsuyo Shinan Koho	1971 - 1997
Toroku Jitsuyo Shinan Koho	1994 - 1997

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 7-263570, A (Fujitsu Ltd.), October 13, 1995 (13. 10. 95), Column 3, lines 9 to 49; Figs. 1 to 4 (Family: none)	1-7, 16-20
Y	JP, 8-55967, A (Texas Instruments Inc.), February 27, 1996 (27. 02. 96), Column 2, lines 10 to 50; Fig. 3 (Family: none)	1 - 15
Y	JP, 6-1365, A (Ramtron International Corp.), January 21, 1994 (21. 01. 94), Column 9, line 1 to column 12, line 4; Figs. 2 to 8 & EP, 557937, A & US, 5374578, A	1 - 20

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

September 30, 1997 (30. 09. 97)

Date of mailing of the international search report

October 14, 1997 (14. 10. 97)

Name and mailing address of the ISA/

Japanese Patent Office

Facsimile No.

Authorized officer

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl ¹ H01L 21/8242, H01L 27/108		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl ¹ H01L 21/8242, H01L 27/108		
最小限資料以外の資料で調査を行った分野に含まれるもの □ 本国実用新案公報 1922-1997年 □ 日本国公開実用新案公報 1971-1997年 □ 日本国登録実用新案公報 1994-1997年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P, 7-263570, A (富士通株式会社), 13. 10月, 1995 (13. 10. 95), 第3欄第9行-第49行, 第1図-第4図, (ファミリーなし)	1-7, 16-20
Y	J P, 8-55967, A (テキサス インスツルメンツ インコーポレイテッド), 27. 2月, 1996 (27. 02. 96), 第2欄第10行-第50行, 第3図, (ファミリーなし)	1-15
Y	J P, 6-1365, A (ラムトロン・インターナショナル・コーポレーション), 21. 1月, 1994 (21. 01. 94), 第9欄第1行-第12欄第4行, 第2図-第8図, & EP, 557937, A, & US, 5374578, A	1-20
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 先行文献ではあるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 30. 09. 97	国際調査報告の発送日 14.10.97	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号 100 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 正山 旭 電話番号 03-3581-1101 内線 3464 印	